

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-123996

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

G09G 3/20

(21)Application number : 08-273612

(71)Applicant : NEC CORP

(22)Date of filing : 16.10.1996

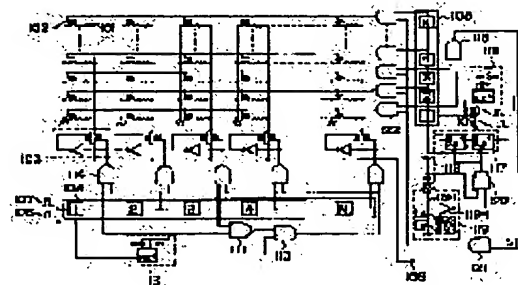
(72)Inventor : ENDO TSUTOMU

(54) SEMICONDUCTOR DEVICE WITH PIXEL PROTECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To offer a semiconductor device with a pixel protection circuit capable of preventing pixel from being deteriorated in characteristic and being broken due to stop of a scanning circuit of X-Y address system or malfunction of the semiconductor device.

SOLUTION: In this semiconductor device, each of monitoring circuits 111, 112, 115, 116 always monitors input status of H. DATA signal 107, H. CLK signal 108, and V. DATA signal 109 and V. CLK signal 110 inputted to a horizontal shift register and a vertical shift register in the device, and in a case of stop or malfunction of a scanning circuit due to disconnection, etc., of these signals, this device prevents pixel being selected by switching off a vertical switch 102 or a horizontal switch 103 through a horizontal mask AND 114 and a vertical mask AND 122. Thus, elements composing the pixel are protected from being excessively loaded by a long time selection of the same pixel.



LEGAL STATUS

[Date of request for examination] 16.10.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3039622

[Date of registration] 03.03.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-123996

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁶

G 0 9 G 3/20

識別記号

F I

G 0 9 G 3/20

N

審査請求 有 請求項の数12 OL (全 9 頁)

(21) 出願番号 特願平8-273612

(22) 出願日 平成8年(1996)10月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 遠藤 勉

東京都港区芝五丁目7番1号 日本電気株式会社内

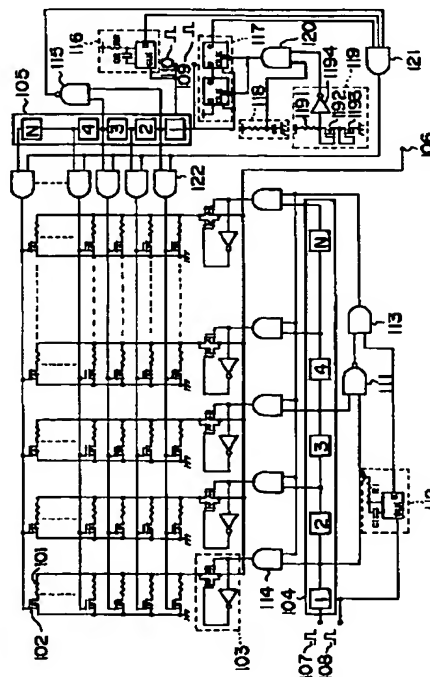
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 画素保護回路付き半導体装置

(57) 【要約】

【課題】 半導体装置におけるX-Yアドレス方式の走査回路の停止や動作不良による画素の特性劣化や画素破壊を防止し得る画素保護回路付き半導体装置を提供すること。

【解決手段】 この半導体装置では、装置内部の水平シフトレジスタ、垂直シフトレジスタへ入力されるH. DATA信号107, H. CLK信号108, V. DATA信号109, V. CLK信号110の入力状態をそれぞれ監視回路111, 112, 115, 116で常に監視し、これらの信号の断線等による走査回路の停止や動作不良の場合に垂直スイッチ102又は水平スイッチ103を水平マスクAND114や垂直マスクAND112を介して遮断し、画素が選択されないようにする。この結果、同一画素の長時間選択により画素を構成する素子に過剰な負荷がかかることが防止される。



【特許請求の範囲】

【請求項1】 クロック信号及びデータ信号が入力されるシフトレジスタと、前記クロック信号及び前記データ信号による伝送交点に形成される画素を選択するスイッチと、前記クロック信号が一定時間以上与えられない場合を検出するクロック検出手段とを備えたことを特徴とする画素保護回路付き半導体装置。

【請求項2】 クロック信号及びデータ信号が入力されるシフトレジスタと、前記クロック信号及び前記データ信号による伝送交点に形成される画素を選択するスイッチと、前記データ信号が一定時間以上与えられたことを検出するデータ検出手段とを備えたことを特徴とする画素保護回路付き半導体装置。

【請求項3】 クロック信号及びデータ信号が入力されるシフトレジスタと、前記クロック信号及び前記データ信号による伝送交点に形成される画素を選択するスイッチと、パワーオン時に前記画素の選択を拒否する選択拒否手段とを備えたことを特徴とする画素保護回路付き半導体装置。

【請求項4】 クロック信号及びデータ信号が入力されるシフトレジスタと、前記クロック信号及び前記データ信号による伝送交点に形成される画素を選択するスイッチと、電源電圧の降下を監視する電圧降下監視手段とを備えたことを特徴とする画素保護回路付き半導体装置。

【請求項5】 クロック信号及びデータ信号が入力されるシフトレジスタと、前記クロック信号及び前記データ信号による伝送交点に形成される画素を選択するスイッチと、前記クロック信号が一定時間以上与えられない場合を検出するクロック検出手段と、前記データ信号が一定時間以上与えられたことを検出するデータ検出手段と、前記クロック検出手段及び前記データ検出手段により前記スイッチを遮断状態にする第1のスイッチ遮断手段とを備えたことを特徴とする画素保護回路付き半導体装置。

【請求項6】 クロック信号及びデータ信号が入力されるシフトレジスタと、前記クロック信号及び前記データ信号による伝送交点に形成される画素を選択するスイッチと、パワーオン時に前記画素の選択を拒否する選択拒否手段と、前記選択拒否手段により前記スイッチを遮断状態にする第2のスイッチ遮断手段とを備えたことを特徴とする画素保護回路付き半導体装置。

【請求項7】 クロック信号及びデータ信号が入力されるシフトレジスタと、前記クロック信号及び前記データ信号による伝送交点に形成される画素を選択するスイッチと、電源電圧の降下を監視する電圧降下監視手段と、前記電圧降下監視手段により前記スイッチを遮断状態にする第3のスイッチ遮断手段とを備えたことを特徴とする画素保護回路付き半導体装置。

【請求項8】 クロック信号及びデータ信号が入力されるシフトレジスタと、前記クロック信号及び前記データ

信号による伝送交点に形成される画素を選択するスイッチと、前記クロック信号が一定時間以上与えられない場合を検出するクロック検出手段と、前記データ信号が一定時間以上与えられたことを検出するデータ検出手段と、パワーオン時に前記画素の選択を拒否する選択拒否手段と、電源電圧の降下を監視する電圧降下監視手段と、前記クロック検出手段及び前記データ検出手段により前記スイッチを遮断状態にする第1のスイッチ遮断手段と、前記選択拒否手段により前記スイッチを遮断状態にする第2のスイッチ遮断手段と、前記電圧降下監視手段により前記スイッチを遮断状態にする第3のスイッチ遮断手段とを備えたことを特徴とする画素保護回路付き半導体装置。

【請求項9】 請求項1又は8記載の画素保護回路付き半導体装置において、前記クロック検出手段は、単安定マルチバイブレータであることを特徴とする画素保護回路付き半導体装置。

【請求項10】 請求項1又は8記載の画素保護回路付き半導体装置において、前記クロック検出手段は、定電流源回路、積分コンデンサ、及びリセットトランジスタを有することを特徴とする画素保護回路付き半導体装置。

【請求項11】 請求項2又は8記載の画素保護回路付き半導体装置において、前記データ検出手段は、前記シフトレジスタの内部出力の論理ゲートを取ることを特徴とする画素保護回路付き半導体装置。

【請求項12】 請求項3記載の画素保護回路付き半導体装置において、前記選択拒否手段は、前記データ信号の入力回数をカウントすることを特徴とする画素保護回路付き半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主としてX-Yアドレス方式の走査回路を持つと共に、走査回路における画素破壊防止手段を備えた画素保護回路付き半導体装置に関する。

【0002】

【従来の技術】一般に、X-Yアドレス方式の走査回路を持つ半導体装置では、装置内部に設けられた水平シフトレジスタ並びに垂直シフトレジスタにより順次選択パルス信号を送り、これらの水平シフトレジスタ、垂直シフトレジスタに接続される水平スイッチ、垂直スイッチを順次切り替えることで信号の伝送交点に形成される画素信号を読み取っている。通常、水平シフトレジスタ並びに垂直シフトレジスタは、例えば特願平7-75264号に提案されているように、外部からのX-Yアドレスを制御するための信号線によりクロック信号やデータ信号を伝送することで選択パルスを作る。

【0003】

【発明が解決しようとする課題】上述したX-Yアドレ

ス方式の走査回路を持つ半導体装置の場合、何らかの原因によりクロック信号及びデータ信号が停止等の異常を来すと、走査回路の停止や動作不良が生じ、同一画素が長時間選択されることがある。このように同一画素が長時間選択されると、画素を構成する素子に過剰な負荷がかかり、画素の特性劣化及び画素破壊を起こしてしまう。

【0004】即ち、水平シフトレジスタ及び垂直シフトレジスタに関してクロック信号及びデータ信号等のX-Yアドレスを制御する信号線の断線等により走査回路の停止や動作不良が生じて同一画素が長時間選択されると、例えばこうした半導体装置を適用するボロメータ型赤外線センサにおいては、画素を構成するボロメータ部に電流が流れ続けることになり、ボロメータ部が過剰な自己発熱を起こして画素の特性劣化を来したり、ボロメータ部が焼き切れて画素破壊が生じてしまうという問題がある。こうした問題は、この種の半導体装置を用いたものであれば、ボロメータ型赤外線センサ以外のものでも同様に生じる。

【0005】本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、X-Yアドレス方式の走査回路の停止や動作不良による画素の特性劣化や画素破壊を防止し得る画素保護回路付き半導体装置を提供することにある。

【0006】

【課題を解決するための手段】本発明によれば、クロック信号及びデータ信号が入力されるシフトレジスタと、クロック信号及びデータ信号による伝送交点に形成される画素を選択するスイッチと、クロック信号が一定時間以上与えられない場合を検出するクロック検出手段と、データ信号が一定時間以上与えられたことを検出するデータ検出手段と、パワーオン時に画素の選択を拒否する選択拒否手段と、電源電圧の降下を監視する電圧降下監視手段と、クロック検出手段及びデータ検出手段によりスイッチを遮断状態にする第1のスイッチ遮断手段と、選択拒否手段によりスイッチを遮断状態にする第2のスイッチ遮断手段と、電圧降下監視手段によりスイッチを遮断状態にする第3のスイッチ遮断手段とを備えた画素保護回路付き半導体装置が得られる。

【0007】

【作用】本発明の画素保護回路付き半導体装置では、X-Yアドレス方式の走査回路の水平シフトレジスタ及び垂直シフトレジスタへ入力されるクロック信号、データ信号を常に監視し、それらの入力信号の断線等による走査回路の停止及び動作不良の場合は、走査回路の内部アドレス信号を遮断状態にすることにより、画素が選択されないようにし、画素の特性劣化及び画素破壊を保護する。

【0008】具体的には、水平シフトレジスタのデータ信号を監視する水平データ検出手段と、水平シフトレジ

スタのクロック信号を監視する水平クロック検出手段と、スイッチを遮断状態にして水平方向の異常を保護する水平スイッチ遮断手段と、垂直シフトレジスタのデータ信号を監視する垂直データ検出手段と、垂直シフトレジスタのクロック信号を監視する垂直クロック検出手段と、スイッチを遮断状態にして垂直方向の異常を保護する垂直スイッチ遮断手段と、パワーオン時の不良動作の保護を画素の選択拒否により行う選択拒否手段と、電源電圧の低下を監視する電圧降下監視手段とを備える。

【0009】こうした構成により、X-Yアドレス方式の走査回路の水平シフトレジスタへの入力信号である水平クロック信号及び水平データ信号、垂直シフトレジスタへの入力信号である垂直クロック信号及び垂直データ信号の入力状態をそれぞれ監視し、異常があれば水平シフトレジスタに接続されている水平スイッチ及び垂直シフトレジスタに接続されている垂直スイッチを遮断状態にし、ある特定の画素のみが選択されてしまうことを防止する。ボロメータ型赤外線センサにおいては、同一画素が長時間選択されると、画素を構成するボロメータ部に電流が流れ続けることになり、ボロメータ部が過剰な自己発熱を起こし、画素の特性劣化やボロメータ部が焼き切れてしまうことで画素破壊が生じる問題があったが、このような問題を回避することができる。又、パワーオン時のシフトレジスタ内部の不定なデータによる異常動作での画素の特性劣化や画素破壊を保護するため、走査回路のパワーオンリセット機能を設けている。

【0010】

【発明の実施の形態】以下に実施例を挙げ、本発明の画素保護回路付き半導体装置について、図面を参照して詳細に説明する。

【0011】図1は、本発明の画素保護回路付き半導体装置の一例に係るボロメータ型赤外線センサの回路構成を示したものである。

【0012】このボロメータ型赤外線センサでは、ボロメータ101が垂直スイッチ（N個の半導体素子から成る）102並びに水平スイッチ（N個の対構成された半導体素子と反転回路との接続回路から成る）103に接続されており、水平スイッチ103を順次走査する水平シフトレジスタ（N個）104と、垂直スイッチ102を順次走査する垂直シフトレジスタ（N個）105と、水平スイッチ103に接続される出力信号線106とが備えられている。ここで、水平シフトレジスタ104には入力データ信号であるH. DATA信号107、入力クロック信号であるH. CLK信号108が伝送され、垂直シフトレジスタ105には入力データ信号であるV. DATA信号109、入力クロック信号であるV. CLK信号110が伝送される。

【0013】又、このボロメータ型赤外線センサには、H. DATA信号107を監視する水平データ監視回路111と、H. CLK信号108を監視する水平クロ

ク監視回路112と、水平データ監視回路111及び水平クロック監視回路112の出力の論理積を取る水平監視AND113と、水平監視AND113の出力により水平スイッチ103を遮断状態にする水平マスクAND(N個)114と、V. DATA信号109を監視する垂直データ監視回路115と、V. CLK信号110を監視する垂直クロック監視回路116と、パワーオン時のシフトレジスタ内部の不定なデータによる異常動作を保護するためのセンサ・パワーオン保護回路117とが備えられている。

【0014】更に、このボロメータ型赤外線センサには、センサ・パワーオン保護回路117のパワーオン・リセットを行うパワーオン・リセット回路118と、電源電圧の低下の監視を行う電源電圧監視回路119と、パワーオン・リセット回路118及び電源電圧監視回路119の出力の論理積を取ってセンサ・パワーオン保護回路117のリセットを行う電源監視AND120と、垂直データ監視回路115、垂直クロック監視回路116、及びセンサ・パワーオン保護回路117の出力の論理積を取る垂直監視AND121と、垂直監視AND119の出力により垂直スイッチ102を遮断状態にする垂直マスクAND(N個)122とが備えられている。

【0015】但し、このうち、水平クロック監視回路112、垂直クロック監視回路116はそれぞれ抵抗R1及びコンデンサC1、抵抗R2及びコンデンサC2を含む単安定マルチバイブレータ(リトリガ機能付き)で構成され、センサ・パワーオン保護回路117はフリップ・フロップで構成される。

【0016】次に、図2に示す入力信号波形を示すタイミングチャートを参照し、この画素保護回路付き半導体装置の動作を説明する。

【0017】外部回路からV. DATA信号109とV. CLK信号110とを垂直シフトレジスタ105に入力し、垂直シフトレジスタ105で生成されるシフトパルスにより、垂直スイッチ102を導通状態にすると共に、外部回路からH. DATA信号107とH. CLK信号108とを水平シフトレジスタ104に入力し、水平シフトレジスタから生成されるシフトパルスにより、水平スイッチ103を順次走査することにより、各画素のボロメータ101から出力信号線106を通じて信号を読み出す。

【0018】ここで、外部回路の何らかの原因で水平シフトレジスタ104への入力データ信号であるH. DATA信号107がVDDの電圧に固定されたり、或いは水平シフトレジスタ104への入力クロック信号であるH. CLK信号108が停止した場合(垂直シフトレジスタ105への入力信号のV. DATA信号109、V. CLK信号110に関しても同様な場合が考えられる)、順次走査が停止し、ある特定の画素のみが選択され、同一画素が長時間選択される。同一画素が長時間選

択されると、画素を構成するボロメータ101に電流が流れ続けることにより、ボロメータ101が過剰な自己発熱をし、ボロメータ101の特性劣化やボロメータ101が焼き切れることによる画素破壊を生じる。

【0019】一般に、1画素当たりの消費電力 P_0 は、 I をボロメータ101に流れる電流値、 R をボロメータ101の抵抗値、 T_s を1画素あたりの選択時間、 T_0 をフレーム時間とした場合、 $P_0 = I^2 \cdot R \cdot T_s / T_0$ なる関係で表わされる。

10 【0020】ここでの画素保護回路付き半導体装置は、このような画素の特性劣化や画素破壊を防止する保護回路が備えられている。

【0021】即ち、通常状態で順次走査を行う場合、H. DATA信号107は必ず1画素周期のパルス幅で水平シフトレジスタ104に入力されるため、水平シフトレジスタ104の内部出力状態は1画素周期のパルス幅のパルスが転送される。従って、水平シフトレジスタ104の内部出力状態において2画素周期以上のパルス幅のパルスが転送されていることは動作不良を示す。

20 【0022】そこで、水平シフトレジスタ104への入力データ信号であるH. DATA信号107の監視をする水平データ監視回路111は、水平シフトレジスタ104の入力段近傍の内部出力状態において3画素周期以上(本来は2画素周期以上のパルス幅で良いが、ゲート遅延のためにグリッチが発生する恐れがあるため、3画素周期以上としている)のパルス幅のパルスが転送されていないか否かを監視し、その結果、3画素周期以上のパルス幅のパルスが転送された場合には全ての水平スイッチ103を遮断状態にすることによって、画素の特性劣化や画素破壊を防止して装置を保護する。

【0023】又、垂直シフトレジスタ105への入力データ信号であるV. DATA信号109もH. DATA信号107と同様に、通常状態で順次走査を行う場合、V. DATA信号109は必ず1画素周期のパルス幅で垂直シフトレジスタ105に入力されるため、垂直シフトレジスタ105の内部出力状態は1画素周期のパルス幅のパルスが転送される。従って、垂直シフトレジスタ105の内部出力状態において2画素周期以上のパルス幅のパルスが転送されていることは動作不良を示す。

40 【0024】そこで、垂直シフトレジスタ105への入力データ信号であるV. DATA信号109の監視をする垂直データ監視回路115は、垂直シフトレジスタ105の入力段近傍の内部出力状態において、3画素周期以上(ここでも本来は2画素周期以上のパルス幅で良いが、ゲート遅延のためグリッチが発生する恐れがあるため、3画素周期以上としている)のパルス幅のパルスが転送されていないか否かを監視し、その結果、3画素周期以上のパルス幅のパルスが転送された場合は全ての垂直スイッチ102を遮断状態にすることによって、画素の特性劣化や画素破壊を防止して装置を保護する。

【0025】図3は、水平クロック監視回路112及び垂直クロック監視回路116を含む要部に係る処理波形を示したタイミングチャートである。

【0026】水平シフトレジスタ104への入力クロック信号であるH. CLK信号108の監視をする水平クロック監視回路112は、上述したように単安定マルチバイブレーター（リトリガ機能付き）で構成され、H. CLK信号108が入力されている場合には水平スイッチ103が画素の選択を許可する信号を出力し、H. CLK信号108が停止した場合にはコンデンサC1、抵抗R1で決まる時定数後に水平スイッチ103を遮断状態にする信号を出力することによって、画素の特性劣化や画素破壊を防止して装置を保護する。

【0027】ここで、コンデンサC1、抵抗R1で決まる時定数は、ある特定の画素が選択され続けてもボロメータ101が自己発熱による画素の特性劣化や画素破壊を起こさない時間に合わせている。

【0028】又、垂直シフトレジスタ105への入力クロック信号であるV. CLK信号110の監視をする垂直クロック監視回路116も、上述したように単安定マルチバイブレーター（リトリガ機能付き）で構成されるが、V. CLK信号110が入力されている場合には垂直スイッチ102が画素の選択を許可する信号を出力し、V. CLK信号110が停止した場合にはコンデンサC2、抵抗R2で決まる時定数後に垂直スイッチ102を遮断状態にする信号を出力することによって、画素の特性劣化や画素破壊を防止して装置を保護する。

【0029】ここでも、コンデンサC2、抵抗R2で決まる時定数は、ある特定の画素が選択され続けてもボロメータ101が自己発熱による画素の特性劣化や画素破壊を起こさない時間に時定数を合わせている。

【0030】因みに、水平クロック監視回路112のコンデンサC1、抵抗R1の時定数について具体的な数値例を示せば、先ずボロメータ101に流れる電流をI、ボロメータ抵抗値R、1画素の選択時間をt、熱コンダクタンスをGth、熱時定数を τ としたとき、ボロメータ101の自己発熱温度 ΔT は $\Delta T = (I^2 \cdot R \cdot t) / (Gth \cdot \tau)$ なる関係で表わされる。ここで、 $I = 3\text{mA}$ 、 $R = 3\text{k}\Omega$ 、 $t = 1\mu\text{s}$ 、 $Gth = 0.25\mu\text{W/K}$ 、 $\tau = 20\text{ms}$ とすると、 $\Delta T = 5^\circ\text{C}$ となる。次に、実験からボロメータ101の自己発熱温度 $\Delta T = 400^\circ\text{C}$ まではボロメータ101の特性劣化や破壊がないことが確認されている。

【0031】従って、コンデンサC1、抵抗R1の時定数は、ボロメータ101の自己発熱温度 $\Delta T = 400^\circ\text{C}$ になる選択時間t以下に設定すれば良く、例えば通常の自己発熱温度 $\Delta T = 5^\circ\text{C}$ の10倍の自己発熱温度、即ち、通常の1画素の選択時間tの10倍である $10\mu\text{s}$ に決定する。但し、こうした時定数は、通常の自己発熱の2倍以上若しくは4倍以上になる選択時間に決定する

ことが好ましい。これは時定数を決めるコンデンサの容量値と抵抗値とが半導体製造プロセスにおいて $\pm 50\%$ 程度変動することにより、通常動作において誤動作が生じないようにするためである。

【0032】ところで、水平クロック監視回路112や垂直クロック監視回路116は、図4に示すような回路構成でも構成できる。

【0033】ここでの回路は、微分回路401、リセットトランジスタ402、定電流源403、積分コンデンサ404、及び出力バッファ405により構成される。

【0034】そこで、この回路構成における各部の動作を図5に示すその処理波形のタイミングチャートを参照して説明する。

【0035】微分回路401によりH. CLK信号108又はV. CLK信号110の立ち上がりエッジの微分パルスを生成し、その微分パルスをリセットパルスとし、リセットトランジスタ402をONすることにより、積分コンデンサ404をリセットにする。リセットパルスが“L”レベルになることにより、リセットトランジスタ402がOFFし、定電流源403から積分コンデンサ404に電荷が蓄えられる。H. CLK信号108又はV. CLK信号110が入力されている場合、積分コンデンサ404の両端の電圧は、図示のような出力バッファ405の入力405(IN)に関して出力バッファ405の入力閾値電圧 V_I を超える前にリセットされ、その結果、出力バッファ405の出力405(OUT)は通常状態の順次動作を許可する旨を出力する。

【0036】しかしながら、H. CLK信号108又はV. CLK信号110の停止等でクロック信号が入力されない場合にはリセットパルスが加えられないため、積分コンデンサ404の両端の電圧は、上昇して出力バッファ405の入力405(IN)に関して出力バッファ405の入力閾値電圧 V_I を超える電圧になり、その結果、出力バッファ405の出力405(OUT)は垂直スイッチ102又は水平スイッチ103を遮断状態にする旨を出力する。

【0037】ここでの垂直クロック監視回路116に関する回路構成における具体的な数値例を示せば、先ず定電流源403の電流値をI4、積分コンデンサ404の容量をC4、V. CLK信号110の周期をt4とすると、積分コンデンサ404の両端の電圧V4は、 $V4 = I4 \cdot t4 / C4$ なる関係で表わされる。

【0038】次に、上述したようにボロメータ101に流れる電流をI、ボロメータ抵抗値をR、1画素の選択時間をt、熱コンダクタンスをGth、熱時定数を τ とした場合、ボロメータ101の自己発熱温度 ΔT は、 $\Delta T = (I^2 \cdot R \cdot t) / (Gth \cdot \tau)$ なる関係で表わされ、 $I = 3\text{mA}$ 、 $R = 3\text{k}\Omega$ 、 $t = 1\mu\text{s}$ 、 $Gth = 0.25\mu\text{W/K}$ 、 $\tau = 20\text{ms}$ とすると $\Delta T = 5^\circ\text{C}$ となる。

【0039】ここで、出力バッファ405の入力閾値電圧 V_I が10V、通常の自己発熱温度 $\Delta T=5^\circ\text{C}$ の4倍で画素の選択の拒否を行うように設定した場合、通常動作での積分コンデンサ404の両端の電圧 V_4 は、入力閾値電圧 $V_I=10\text{V}/4$ の2.5Vになるように各パラメータを設定する。

【0040】例えば $I_4=0.1\mu\text{A}$ 、 $C_4=10\text{pF}$ 、 $t_4=250\mu\text{s}$ とすると、通常動作において $V_4=2.5\text{V}$ となる。従って、 V_{CLK} 信号110が正常に輸入されているときには、積分コンデンサ404の両端の電圧 V_4 は2.5Vまで上昇してリセットされるが、 V_{CLK} 信号110が停止等した場合には積分コンデンサ404の両端の電圧 V_4 は上昇し続けて出力バッファ405の入力閾値電圧 V_I と積分コンデンサ404の両端の電圧 V_4 とが等しくなると、4クロック分の V_{CLK} 信号110が輸入されなくなり、このときに出力バッファ405は画素の選択を拒否を行う旨を出力する。

【0041】このように、水平クロック監視回路112及び垂直クロック監視回路116を図4に示すような回路構成とすると、図1に示した単安定マルチバイブレータ（リトリガ機能付き）として構成した場合に比べ、回路規模を小さくすることができる。

【0042】一方、パワーオン時の水平シフトレジスタ104及び垂直シフトレジスタ105内部の不定なデータによる不良動作での画素の特性劣化や画素破壊を回避保護するためのセンサ・パワーオン保護回路117は、ここでは電源投入時から V_{DATA} 信号109が2クロック入力されるまでボロメータ101の直前に接続される垂直スイッチ102を遮断状態にすることにより、ボロメータ101を保護する。

【0043】又、電源電圧監視回路119は、抵抗1191、電界トランジスタ1192、電界トランジスタ1193、及びバッファ（反転回路）1194で構成され、電界トランジスタ1192及び電界トランジスタ1193のドレインソース間電圧とバッファ1194の入力閾値電圧との比較により電源電圧の降下の監視を行う。電源電圧が正常値である場合は、電界トランジスタ1192及び電界トランジスタ1193のドレインソース間電圧は、バッファ1194の入力閾値電圧より低い電圧であり、何らかの原因により電源電圧が降下し出すと、電源電圧の降下に伴うバッファ1194の入力閾値電圧の低下が生じ、電界トランジスタ1192及び電界トランジスタ1193のドレインソース間電圧がバッファ1194の入力閾値電圧より高い電圧になり、バッファ1194の出力論理は反転する。従って、電源電圧監視回路119の出力によりボロメータ101の直前に接続される垂直スイッチ102を遮断状態にし、ボロメータ101を保護する。

【0044】このようにX-Yアドレス方式の走査回路

を持つ半導体装置に保護回路を設けることにより、シフトレジスタにリセット機能を持たせるよりも回路規模を小さくすることができる。

【0045】図6は、本発明の画素保護回路付き半導体装置の他例に係るボロメータ型赤外線センサの回路構成を示したものである。

【0046】このボロメータ型赤外線センサは、水平方向に4画素周期毎に出力信号線606を分割して構成されている。

【0047】通常、このように出力信号線606が4分割である場合には、4画素同時に読み出しを行うために水平シフトレジスタ604に4画素周期のパルス幅の H_{DATA} 信号607を入力し、水平シフトレジスタ604内部には4画素周期のパルス幅のパルスが転送される。従って、水平シフトレジスタ604の内部出力状態において5画素周期以上のパルス幅のパルスが転送されていることは動作不良を示す。

【0048】ここで、水平データ監視回路611は、水平シフトレジスタ604の入力段近傍の内部出力状態において、6画素周期以上（本来は5画素周期以上のパルス幅で良いが、ゲート遅延のためグリッチが発生する恐れがあるため、6画素周期以上としている）のパルス幅のパルスが転送されていないか否かを監視する。その結果、6画素周期以上のパルス幅のパルスが転送されたときには全ての水平スイッチ603を遮断状態にすることによって、画素の特性劣化や画素破壊を防止して装置を保護する。

【0049】即ち、一般的に出力分割数 n の場合のシフトレジスタのデータ信号監視回路は、シフトレジスタの入力段近傍の内部出力状態において、 $(n+2)$ 画素周期以上のパルス幅〔本来は n 画素周期以上のパルス幅で良いが、ゲート遅延のためグリッチが発生する恐れがあるため、 $(n+2)$ 画素周期以上としている〕のパルスが転送されていないか否かを監視し、その結果、 $(n+2)$ 画素周期以上のパルス幅のパルスが転送されたときにはスイッチを遮断状態にすることによって、画素の特性劣化や画素破壊を防止して装置を保護する。

【0050】尚、上述した実施例では、ボロメータ型赤外線センサについて述べたが、本発明はX-Yアドレス方式の走査回路を持つ半導体装置を適用可能なものであれば他のものでも有効に機能する。例えば、画素表示装置として様々な方式のものが提案されており、開発されているが、その一例としてFED（Field Emission Display）と呼ばれる電界放出素子を用いたディスプレイがある。このFEDは、ゲート及びカソード間に電圧を印加することで電子を放出させ、対向する蛍光板に照射させて発光する方式であり、電子の放出による蛍光板の発光が継続されると寿命が劣化することが知られている。

【0051】従って、このようなFEDにおいても走査

回路が停止等した場合、ある特定のセルのみが長時間選択され、その特定のセルのみが長時間選択による特性劣化や破壊を生じるが、本発明の保護回路によりこれを防止対策して改善することができる。

【0052】又、その他の例として、PDP (Plasma Display Panel), LCD (Liquid Crystal Display), 可視のMOS型撮像デバイス等のX-Yアドレス方式の走査回路を持つ半導体装置全般において本発明は適用できる。

【0053】

【発明の効果】以上に述べた通り、本発明の画素保護回路付き半導体装置によれば、半導体装置におけるX-Yアドレス方式の走査回路の水平シフトレジスタ及び垂直シフトレジスタへの入力信号となるクロック信号及びデータ信号を常に監視し、これらの入力信号の断線等による走査回路の停止や動作不良の場合は、走査回路の内部アドレス信号を遮断状態にして画素が選択されないようにするため、同一画素が長時間選択されて画素を構成する素子に過剰な負荷がかかることが防止され、画素の特性劣化や画素破壊を防止する保護対策が計られるようになる。又、半導体装置内部に保護回路を設け、内部出力状態等で監視を行っており、簡単な論理ゲートで構成できるため、外部回路の回路規模を削減できるようになる。

【図面の簡単な説明】

【図1】本発明の画素保護回路付き半導体装置の一例に係るボロメータ型赤外線センサの回路構成を示したものである。

【図2】図1に示すボロメータ型赤外線センサにおける入力信号波形を示したタイミングチャートである。

【図3】図1に示すボロメータ型赤外線センサに備えられる水平クロック監視回路及び垂直クロック監視回路を含む要部に係る処理波形を示したタイミングチャートである。

【図4】図1に示すボロメータ型赤外線センサに備えら

れる水平クロック監視回路及び垂直クロック監視回路に関する他の回路構成を示したものである。

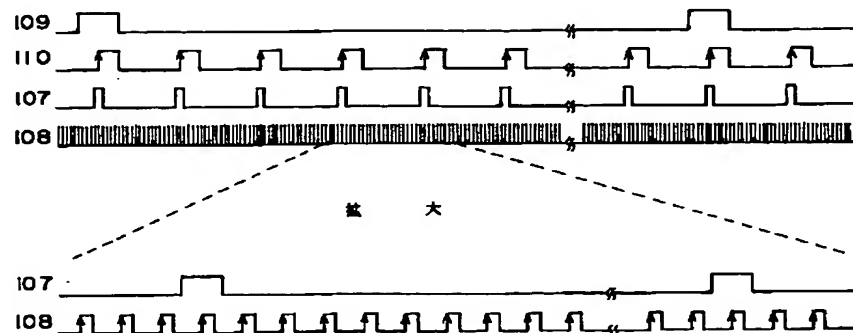
【図5】図4に示す回路構成における各部の動作処理の波形のタイミングチャートである。

【図6】本発明の画素保護回路付き半導体装置の他例に係るボロメータ型赤外線センサの回路構成を示したものである。

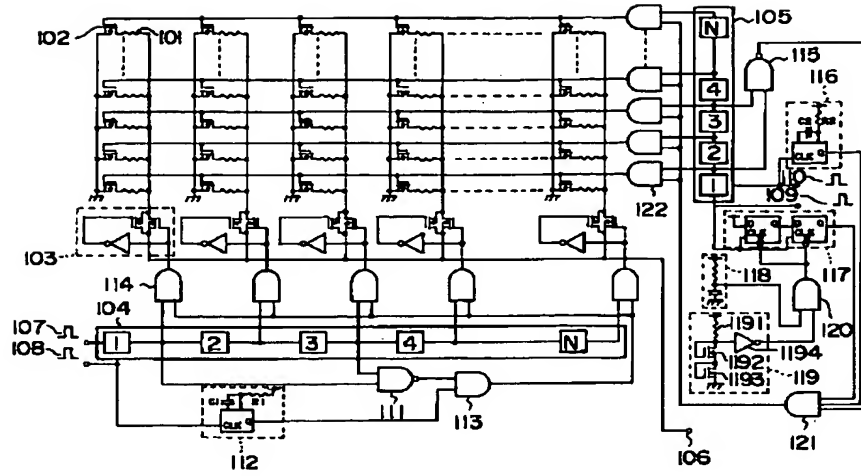
【符号の説明】

101, 601	ボロメータ
102, 602	垂直スイッチ
103, 603	水平スイッチ
104, 604	水平シフトレジスタ
105, 605	垂直シフトレジスタ
106, 606	出力信号線
107, 607	H. DATA信号
108, 608	H. CLK信号
109, 609	V. DATA信号
110, 610	V. CLK信号
111, 611	水平データ監視回路
112, 612	水平クロック監視回路
113, 613	水平監視AND
114, 614	水平マスクAND
115, 615	垂直データ監視回路
116, 616	垂直クロック監視回路
117, 617	センサ・パワーオン保護回路
118, 618	パワーオン・リセット回路
119, 619	電源電圧監視回路
120, 620	電源監視AND
121, 621	垂直監視AND
122, 622	垂直マスクAND
401	微分回路
402	リセットトランジスタ
403	定電流源
404	積分コンデンサ
405	出力バッファ

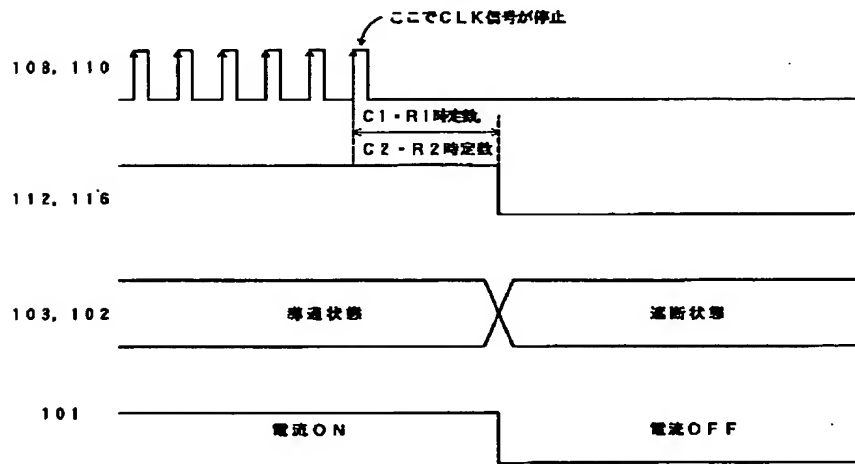
【図2】



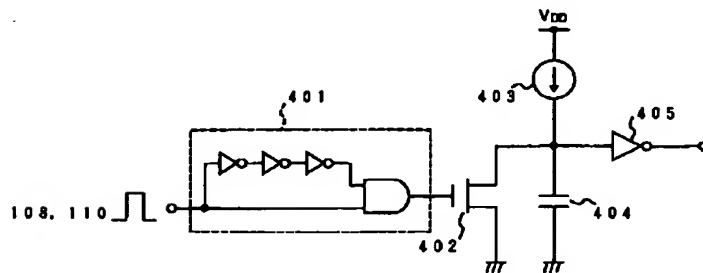
【図1】



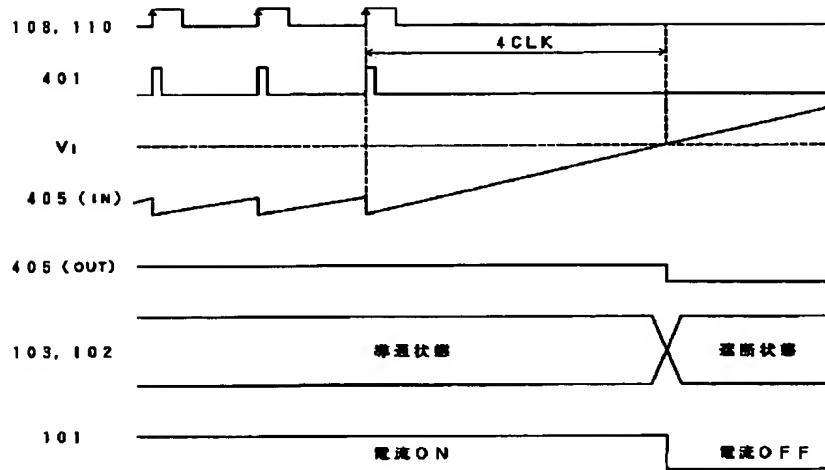
【図3】



【図4】



【図5】



【図6】

